



Institut für Technische Informatik

Lehrstuhl für Rechnerarchitektur und Parallelverarbeitung

Prof. Dr. rer. nat. Wolfgang Karl

Klausur Rechnerstrukturen Wintersemester 2014/15 Aufgabenteil

9. März 2015

Aufgabe 1: Verbindungsstrukturen & Fehlertoleranz 11 P

Verbindungsstrukturen 3 P

- a) Was versteht man unter der Skalierbarkeit eines Verbindungsnetzes? 1 P
- b) Zeichnen Sie das Grundmuster der Kreuzpermutation mit 8 Eingängen und 8 Ausgängen auf. Verwenden Sie hierfür als Hilfe die Vorgaben auf den Lösungsblättern. 1 P
- c) Welche Bedingung muss bei einem fehlertoleranten Netzwerk erfüllt sein? 1 P

Fehlertoleranz 8 P

Eine Raumsonde wird mit zwei Mikrocontrollern M_1 und M_2 ausgestattet, von denen jeweils nur einer zum Betrieb der Sonde notwendig ist. Die Kommunikation mit der Sonde wird über je eine Empfangseinheit RX und eine Sendeeinheit TX abgewickelt, von denen beide zum korrekten Betrieb der Sonde notwendig sind.

- d) Zeichnen Sie das Zuverlässigkeitsblockdiagramm der Raumsonde. 1 P
- e) Ermitteln Sie die Systemfunktion S der Raumsonde. 1 P
- f) Geben Sie die Formel zur Berechnung der Funktionswahrscheinlichkeit des Gesamtsystems $\varphi(S)$ an, wenn für eine beliebige Komponente K die Funktionswahrscheinlichkeit $\varphi(K)$ beträgt. Nehmen Sie dafür an, dass beide Mikrocontroller dieselbe Funktionswahrscheinlichkeit besitzen. 1 P

Da auf einer Flugroute der Sonde erhöhte Strahlungswerte auftreten könnten, wird überlegt, das Rechensystem in ein 2-aus-3-System oder ein 3-aus-5-System mit Mehrheitsentscheider V umzuwandeln. Alle Mikrocontroller bekommen dann die gleichen Eingabewerte und rechnen mit diesen vollkommen unabhängig voneinander. Ein x -aus- y -System arbeitet korrekt, wenn mindestens x von y Rechensystemen ein Ergebnis an den Mehrheitsentscheider übermitteln und dieser entscheidet.

- g) Zeichnen Sie das Zuverlässigkeitsblockdiagramm der Sonde inklusive des Mehrheitsentscheiders V , wenn für die Mikrocontroller M_1 , M_2 und M_3 ein 2-aus-3-System verwendet wird. 2 P
- h) Beschriften Sie das auf den Lösungsblättern angegebene Diagramm, das die Funktionswahrscheinlichkeit über die Zeit zeigt, indem Sie das 2-aus-3- und das 3-aus-5-System ihrer jeweiligen Kurve zuordnen. Begründen Sie, wie es zu diesem Verhalten kommt. 2 P
- i) Welches System würden Sie in diesem Beispiel wählen, wenn die Sonde nur 4 Jahre lang möglichst sicher betrieben werden soll? Begründen Sie Ihre Entscheidung. 1 P

Aufgabe 2: Low-Power-Entwurf & Rechnerbewertung 10 P

Low-Power-Entwurf 5 P

Gegeben sei die schaltungstechnische Funktion $f = (\neg A \wedge B) \vee C$ mit den Eingangswahrscheinlichkeiten $\mathbb{P}_A(1) = \frac{1}{3}$, $\mathbb{P}_B(1) = \frac{1}{2}$ und $\mathbb{P}_C(1) = \frac{1}{4}$.

- Berechnen Sie die Signalwahrscheinlichkeit der Funktion f . 1 P
- Berechnen Sie für die Funktion f die Schaltwahrscheinlichkeit des UND- und des ODER-Gatters mit der aus der Übung bekannten Formel. 1 P
- Geben Sie die allgemeine Formel zur Berechnung der elektrischen Leistungsaufnahme P_{total} bei CMOS-Schaltungen an. 1 P
- Geben Sie die Formeln zur Berechnung der dynamischen Komponenten der elektrischen Leistungsaufnahme P_{total} bei CMOS-Schaltungen an. 2 P

Leistungsbewertung 5 P

- Nennen Sie vier analytische Methoden, die zur Leistungsbewertung verwendet werden. 2 P
- Berechnen Sie die $Spec_{ratio}$ für die Benchmarks A und B mit den in der Tabelle gegebenen Werten. 1 P

System	Benchmark	Ausführungszeit
Testsystem	Benchmark A	3 s
Testsystem	Benchmark B	6 s
Referenzsystem	Benchmark A	9 s
Referenzsystem	Benchmark B	4 s

- Sie haben für eine Programmausführung auf einer gegebenen Rechnerarchitektur mit einer Taktfrequenz von 2 GHz die in der Tabelle angegebenen Werte experimentell bestimmt. Berechnen Sie mit diesen Werten den MIPS-Wert für dieses Programm und die gegebene Architektur. 2 P

Befehlstyp	Anzahl Befehle	Zyklenzahl pro Befehlstyp
Befehlstyp 1	$1 \cdot 10^6$	3
Befehlstyp 2	$0,5 \cdot 10^6$	5
Befehlstyp 3	$0,3 \cdot 10^6$	7
Befehlstyp 4	$0,2 \cdot 10^6$	12

Aufgabe 3: Parallelverarbeitung und Pipelining **10 P**

Parallelverarbeitung **3 P**

- a) Benennen Sie 3 verschiedene Ebenen der Parallelität sowie jeweils ein(e) dazugehörige(s) Technik/Prinzip (Parallelarbeitstechnik), die auf dieser Ebene eingesetzt werden kann. *3 P*

Pipelining **7 P**

- b) Geben Sie jeweils eine Formel für die Laufzeit an bei Verarbeitung einer Befehlssequenz mit und ohne Verwendung einer skalaren Pipeline. *1 P*
- c) Geben Sie eine Formel für die maximale Beschleunigung S bei Verwendung einer skalaren Pipeline an und begründen Sie unter welchen Umständen diese Beschleunigung erreicht werden kann. *1 P*
- d) Nennen Sie 3 Arten von Konflikten, die bei einer Pipeline auftreten können. *1.5 P*
- e) Welche 2 Lösungsstrategien gibt es, um Pipeline-Konflikte aufzulösen und was resultiert durch die Verwendung solcher Strategien? *1.5 P*
- f) Benennen Sie 2 Einschränkungen skalarer Pipelines und geben Sie jeweils eine mögliche Lösung mit an. *2 P*

Aufgabe 4: Fertigung und Hardware-Entwurf

10 P

Fertigungskosten

5 P

Nehmen Sie an, dass Sie von zwei verschiedenen Herstellern jeweils ein Angebot für einen Wafer bekommen haben. Auf beide Wafer passen 653 Dies. Die Kosten für einen Wafer von Hersteller A betragen 400€ und die von Hersteller B 600€. Der Die-Yield von Hersteller B ist 0.75.

- a) Ermitteln Sie, welchen Die-Yield Hersteller A mindestens erreichen muss um gewinnbringender für Ihr Unternehmen zu sein als Hersteller B. Welche Formel verwenden Sie? Geben Sie den vollständigen Rechenweg an. 3 P
- b) Geben Sie eine Formel an, wie sich die Ausbeute (Die-Yield) bestimmen lässt. Erklären Sie deren Bestandteile kurz. *Geben Sie die Bedeutung der einzelnen Variablen eindeutig an!* 2 P

Hardwareentwurf

5 P

- c) Erklären Sie den Unterschied zwischen einer asynchronen und einer synchronen Zuweisung in VHDL. 1 P
- d) Gegeben sei folgender VHDL-Code: 2 P

```
output <= input0 when select="00" else
        input1 when select="01" else
        input2 when select="10" else
        input3;
```

Geben Sie an, welche Funktionalität durch den oben gegebenen Code realisiert ist. Wie kann man diese Funktionalität noch in VHDL realisieren? Geben Sie ein Code-Beispiel an.

- e) Geben Sie einen Programmcode in VHDL an, der einen synchronen Zähler realisiert. Der Zähler soll dabei bis 10 zählen und bei Erreichen des maximalen Wertes einen Takt lang ein Ausgangssignal setzen. Vervollständigen Sie hierfür den auf dem Lösungsblatt vorgegebenen VHDL-Code. 2 P

Aufgabe 5: Speicherhierarchie

10 P

Cache-Kohärenzprotokoll MOESI

5 P

Ein Dreiprozessorsystem sei speichergekoppelt. Die Caches haben je eine Größe von zwei Cache-Zeilen, welche je genau ein Speicherwort aufnehmen können. Die Füllung des Caches erfolgt von der niedrigsten Cache-Zeile aufwärts, sofern noch freie Zeilen zur Verfügung stehen, andernfalls wird gemäß LRU-Strategie verdrängt. Als Cache-Kohärenzprotokoll komme das aus der Übung bekannte MOESI-Protokoll zum Einsatz. Der Cache sei initial leer. Aktionen, die durch das Cache-Kohärenzprotokoll ausgelöst werden und die eine Zustandsänderung einer Cache-Zeile bewirken, werden von der LRU-Strategie nicht als Zugriff gewertet.

- a) Vervollständigen Sie die auf dem Lösungsblatt angegebene Tabelle: Geben Sie jeweils Inhalt der Cache-Zeile und MOESI-Zustand an. 4 P
- b) Nennen Sie jeweils einen Vor- und Nachteil des MOESI-Protokolls gegenüber dem MESI-Protokoll. 1 P

Cache-Leistung

5 P

Sie sollen prüfen, ob es vorteilhaft wäre eine bestehende Speicherhierarchie (Variante A) durch eine veränderte Variante B zu ersetzen. In beiden Varianten findet der Zugriff auf die nächste Ebene parallel statt.

	Variante A	Variante B
Zugriffszeit L1	4 ns	8 ns
Hitrate L1	75 %	90 %
Zugriffszeit L2	20 ns	20 ns
Hitrate L2	80 %	75 %
Zugriffszeit Hauptspeicher	100 ns	100 ns

- c) Um eine fundierte Aussage treffen zu können, berechnen Sie die durchschnittliche Antwortzeit für beide Varianten. Welche Variante empfehlen Sie und warum? 2 P
- d) Nennen Sie den Vorteil und den Nachteil einer Speicherhierarchie mit parallelen Speicherzugriffen gegenüber einer Hierarchie mit sequentiellen Zugriffen innerhalb eines Multicore-Systems mit einem gemeinsamen Speicherbus. 1 P
- e) Geben Sie die allgemeine Formel für die durchschnittliche Zugriffszeit bei einer zweistufigen Cache-Hierarchie an, wobei der Zugriff auf die nächste Ebene sequentiell stattfindet. 1 P
- f) Was besagt die zeitliche und was die räumliche Lokalität bei Speicherzugriffen? 1 P

Aufgabe 6: Sprungvorhersage & VLIW

9 P

Sprungvorhersage

5 P

- a) Bei einem Profiling-Lauf wird für zwei bedingte Sprünge *S1* und *S2* das auf dem Lösungsblatt angegebene Sprungmuster protokolliert. Gegeben sei ein (1,1)-Korrelationsprädiktor mit globalem Branch History Register und einem globalen Prädiktorsatz für beide Sprünge. Das Schieberegister BHR sei mit `Not Taken`, die verwendeten 1-Bit-Prädiktoren seien jeweils mit `Taken` initialisiert. Füllen Sie die auf dem Lösungsblatt angegebene Tabelle aus. Kennzeichnen Sie den jeweils ausgewählten Prädiktor deutlich. 4 P
- b) Zeichnen Sie das Zustandsdiagramm für einen 2-Bit-Hysteresezähler. 1 P

VLIW

4 P

- c) Es stehen zwei VLIW-Prozessorsysteme zur Auswahl. Das System A hat 2 universell einsetzbare Funktionseinheiten und eine VLIW-Breite von nur 2 Befehlen. Das System B hat drei spezifische Funktionseinheiten, wobei eine für Integer-Operationen, eine für Gleitkommaoperationen und die letzte für Speicherzugriffsoperationen zuständig ist. System B kann somit drei Befehle innerhalb eines Worts zur Verfügung stellen. Nehmen Sie vereinfachend an, dass alle Befehle innerhalb eines Taktzykluses abgearbeitet werden können. 4 P

```

1  ld r3, [r1]      ; load r3 from mem[r1]
2  fpdiv f3, f1, f2 ; f3 = f1 / f2
3  ld r4, [r2]      ; load r4 from mem[r2]
4  sub r7, r3, r4   ; r7 = r3 - r4
5  ld r6, [r7]      ; load r6 from mem[r7]
6  fpadd f5, f3, f1 ; f5 = f3 + f1
7  sub r8, r6, r7   ; r8 = r6 - r7
8  st [r5], r7     ; store r7 to mem[r5]
```

Tragen Sie die obigen Befehle möglichst kompakt in den jeweiligen Ablaufplan auf dem Lösungsblatt ein. Für welches System würden Sie sich entscheiden, wenn obiger Programmcode als Referenz dient?

Klausur Rechnerstrukturen

Wintersemester 2014/15

Lösungsteil

Name: _____
Vorname: _____
Matrikelnummer: _____

Tragen Sie bitte auf jedem Blatt Ihren Namen und Ihre Matrikelnummer ein. Bitte tragen Sie alle Lösungen und Rechenwege an den vorgesehenen Stellen ein und geben Sie keine zusätzlichen Blätter ab, ohne dies dem Aufsichtspersonal mitzuteilen.

Hinweis: Bei Rechenaufgaben ist die Angabe des Rechenwegs zwingend erforderlich. Ergebnisse ohne Rechenweg werden **nicht** gewertet.

Zum Bestehen der Klausur sind mindestens 20 Punkte erforderlich.

- () Ich wünsche **keine** Notenveröffentlichung über einen anonymisierten Code auf der Website des Lehrstuhls.
(Bei Ankreuzen kann die Note erst in der Klausureinsicht erfragt werden.)

Erreichte Punkte (wird vom Institut ausgefüllt):

Aufgabe	1	2	3	4	5	6
Punkte	/11	/10	/10	/10	/10	/9
Summe:						/60

Lösung 1: Verbindungsstrukturen & Fehlertoleranz **11 P****Verbindungsstrukturen** **3 P**a) *1 P*b) Kreuzpermutation: *1 P*

a_3	a_2	a_1	a_1	a_2	a_3
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	1	1
1	0	0	1	0	0
1	0	1	1	0	1
1	1	0	1	1	0
1	1	1	1	1	1

c) *1 P***Fehlertoleranz** **8 P**d) Zuverlässigkeitsblockdiagramm: *1 P*e) Systemfunktion: *1 P*

f) Formel:

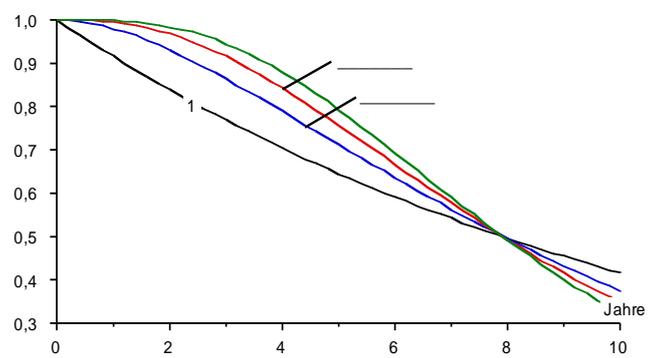
1 P

g) Zuverlässigkeitsblockdiagramm:

2 P

h)

2 P



Begründung:

i) Begründung:

1 P

Lösung 2: Low-Power-Entwurf & Rechnerbewertung 10 P**Low-Power-Entwurf** 5 P

a) Berechnung: 1 P

b) Berechnung: 1 P

c) Formel: 1 P

d) Formeln: 2 P

Leistungsbewertung 5 P

e) Antwort: 2 P

f) Berechnung:

1 P

g) Berechnung:

2 P

Lösung 3: Parallelverarbeitung und Pipelining

10 P

Parallelverarbeitung

3 P

a)

3 P

Ebene der Parallelität	Beispiel für eine Parallelarbeitstechnik

Pipelining

7 P

b) Laufzeit ohne skalarer Pipeline:

1 P

Laufzeit mit skalarer Pipeline:

c) Beschleunigung:

1 P

Begründung:

d) 1. Konflikt:

1,5 P

2. Konflikt:

3. Konflikt:

e) **1. Strategie:**

1,5 P

2. Strategie:

Resultat:

f) **1. Einschränkung:**

2 P

1. Lösung:

2. Einschränkung:

2. Lösung:

Lösung 4: Fertigung und Hardware-Entwurf**10 P****Fertigungskosten****5 P**

a)

3 P

- Formel:

- Rechnung:

- Antwort:

b)

2 P

- Formel:

- Erklärung:

Hardwareentwurf**5 P**

c)

1 P

d)

2 P

- Funktionalität:

- Code:

e)

2P

```
signal clk : std_logic;
signal reset : std_logic;
signal output : std_logic;

counter: process(clk, reset)
    variable counter_int : std_logic_vector(3 downto 0);
begin
    if _____ then
        _____

    elsif _____ then
        if _____ then
            _____
            _____

        else
            _____
            _____

        end if;
    end if;
end process counter;
```

Lösung 5: Speicherhierarchie

10 P

Cache-Kohärenzprotokoll MOESI

5 P

a)

Prozessor	Aktion	Prozessor 1		Prozessor 2		Prozessor 3	
		Zeile 1	Zeile 2	Zeile 1	Zeile 2	Zeile 1	Zeile 2
	init	-	-	-	-	-	-
1	rd 3						
3	wr 3						
2	rd 3						
1	wr 4						
3	rd 4						
2	rd 1						
3	rd 2						
1	wr 2						
3	rd 1						
1	wr 4						

4 P

b)

1 P

- Vorteil:

- Nachteil:

Cache-Leistung**5 P**

c) Berechnung:

2 P

- Variante A:

- Variante B:

- Empfehlung und Begründung:

d)

1 P

- Vorteil:

- Nachteil:

e) Formel:

1 P

f)

1 P

- Zeitliche Lokalität:

- Räumliche Lokalität:

Lösung 6: Sprungvorhersage & VLIW

9 P

Sprungvorhersage

5 P

a) Tabelle:

4 P

	Globaler Prädiktor	S1		Globaler Prädiktor	S2	
		Vhs.	Sprung		Vhs.	Sprung
1	(T , T)		NT	(,)		T
2	(,)		NT	(,)		NT
3	(,)		T	(,)		T
4	(,)		T	(,)		T

b) Zeichnung 2-Bit-Hysteresezähler:

1 P

VLIW**4P**

c) VLIW-Prozessoren:

4P

Slot 1	Slot 2

System A

Integer	Gleitkomma	Load/Store

System B

Entscheidung: